

文章编号: 2095—0411 (2014) 02 - 0026 - 06

基于 Quartus II 9.0 的 MAX192 控制器设计^{*}

张小鸣, 张俊玲

(常州大学 信息科学与工程学院, 江苏 常州 213164)

摘要: 为了减轻微处理器频繁控制 A/D 转换器转换时序与读取 A/D 转换结果的负担, 提出了串行 A/D 转换器 MAX192 的设计方法。根据 MAX192 多通道顺序转换时序的特点, 设计出基于 Quartus II 9.0 的 8 通道顺序转换控制器和 8 通道 A/D 转换结果寄存器阵列。每个通道配置 64 个结果寄存器, 可满足 64 点周期采样的需要。采用 VHDL 语言和原理图相结合的方法实现 MAX192 控制器, 并通过了时序仿真验证。仿真结果表明: 基于 Quartus II 9.0 的 MAX192 控制器对 8 个通道信号顺序转换时, 每个通道的转换时间与单通道单独转换相比减少了 37.5%; 结果寄存器可及时存储每次转换结果, 便于微处理器及时读取 A/D 转换结果进行后续快速数字信号处理运算, 提高了数据采集系统的实时性, 具有工程应用价值。

关键词: A/D 转换器; A/D 控制器; 多通道顺序控制器; 结果寄存器

中图分类号: TP 391.9

文献标识码: A

doi: 10.3969/j.issn.2095—0411.2014.02.008

Design of the MAX192 Controller Based on Quartus II 9.0

ZHANG Xiao-ming, ZHANG Jun-ling

(School of Information Science and Engineering, Changzhou University, Changzhou 213164, China)

Abstract: In order to reduce the burden of frequently controlling A/D converter's conversion timing and reading A/D conversion results frequently by microprocessor, the MAX192 controller design method based on Quartus II 9.0 is proposed. According to the characteristics of MAX192 multi-channel conversion timing, 8-channel order converter controller and 8-channel A/D conversion results registers' array is designed. 64 results registers are configured for each channel to meet the need of 64 points periodic sampling. MAX192 controller is realized by using VHDL language and schematic, and the timing simulation is passed. The simulation result shows that the average conversion time of each channel is decreased by 37.5% compared with that of single channel conversion when the multi-channel sequential conversions are controlled by MAX192 controller based on Quartus II 9.0 sample. Results registers are used to store the converted results in time, to facilitate microprocessor to timely read the A/D conversion results for subsequent fast digital signal processing operations. The timeliness of data acquisition system is improved. It has application value in engineering.

Key words: A/D converter; A/D controller; multi-channel sequential controller; result register

MAX192 是一款逐次逼近型串行 10 位 AD 转换芯片, 具有 8 通道多路转换器、高速转换接口以及高带宽跟踪/保持电路, 超低功耗、可软件配置

模拟输入信号极性等特点^[1]。传统的 A/D 控制器设计多以微处理器控制模数转换器, 虽然编程简单、控制灵活, 但增加了 CPU 的负担, 降低了

^{*} 收稿日期: 2013 - 09 - 22。

作者简介: 张小鸣 (1958—), 男, 安徽合肥人, 博士, 教授, 主要从事嵌入式系统方面的研究。

CPU 的工作效率^[2-4]。近年来, FPGA 以其集成度高、可靠性好、现场可编程的优点在模数转换控制方面得到了广泛的应用^[5-7]。文献 [8-10] 介绍了基于 FPGA 的 AD73360 控制器、ADC08D1000 控制器和音频模数转换控制器的实现方法, 并分别应用于电力系统谐波测量系统、宽带 ADC 数据采集系统、音频 ADC 架构中, 但这些设计只针对 AD 芯片的单通道进行采样, 没有涉及多通道顺序转换。文献 [11] 设计了基于 FPGA 的 ADS7844 控制器, 具有多通道转换、数据并行输出的特点, 但没有设计 A/D 结果寄存器, 多通道模数转换没有实现并发, 占用时间较多。

针对 MAX192 具有多通道并发转换的特点, 设计基于 Quartus II 9.0 的 MAX192 控制器, 包括通道顺序转换控制器和 A/D 转换结果寄存器。通道顺序转换控制器用于控制 8 个通道的并发转换顺序, A/D 转换结果寄存器用于存储转换结果, 留有读取 A/D 转换结果寄存器的微机接口。仿真结果表明: 基于 Quartus II 9.0 的 MAX192 控制器可灵活控制多通道并发转换, 不仅有效缩短了每个通道的转换时间, 而且转换结果及时存入结果寄存器, 适用于实时数据采集和处理系统。

1 控制器结构框图及控制时序

1.1 结构框图

基于 Quartus II 9.0 的 MAX192 控制器由通道顺序转换控制器模块和 A/D 转换结果寄存器模块组成, 结构如图 1 所示。通道顺序转换控制器模块控制 MAX192 实现 8 通道的顺序转换, 同时完成读取 MAX192 输出的转换数据, 转换数据存入 A/D 转换结果寄存器组。微控制器通过接口控制通道顺序转换控制器的启动, 并可利用地址总线 AB 和数据总线 DB 读取结果寄存器组中的 A/D 转换数据。

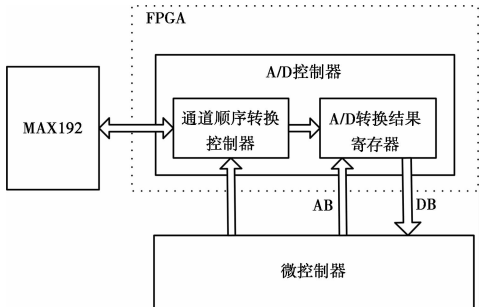


图 1 基于 FPGA 的 MAX192 控制器结构框图

Fig. 1 Structure diagram of MAX192 controller based on FPGA

1.2 多通道并发转换控制时序

MAX192 的多通道顺序转换时序随时钟模式的设定不同而不同。采用较快的外串行时钟频率时, 一般设置 MAX192 为外时钟模式, 多通道并发转换控制时序如图 2 所示。当片选信号 CS 从高电平翻转到低电平时, 使能 MAX192, 串行选通信号 SSTRB 和数据输出信号 DOUT 立刻从高阻态变为低电平。此后, 微控制器产生 8 个时钟周期, 驱动控制字逐位输入 MAX192, 该控制字指定 MAX192 在外部时钟模式下对通道 0 进行 A/D 转换。当最后 1 位控制字输入后, 立即启动 A/D 转换, 同时 SSTRB 从低电平翻转为高电平, 指示转换开始。但 SSTRB 只持续 1 个时钟周期, 便就 又从高电平翻转为低电平。在接下来的 12 个 SCLK 时钟下降沿, DOUT 串行输出数据, 其中前 10 个 SCLK 时钟周期, 输出 A/D 转换结果, 后 2 个时钟周期, 输出辅助位 S1 和 S0, 此过程与单通道转换控制时序相一致。不同的是, 多通道顺序转换在第 1 个转换结果输出到 B3 位时, 微控制器就开始输出下 1 个控制字, 对通道 1 进行 A/D 转换, 并如此循环下去, 当 8 通道顺序转换均完成后, CS 由低电平翻转到高电平, SSTRB 和 DOUT 变为高阻态。

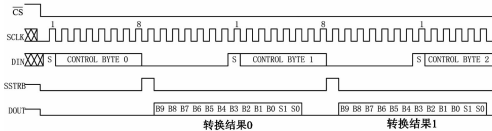


图 2 MAX192 多通道并发转换控制时序

Fig. 2 Sequence of multi-channel concurrent conversion control of MAX192

2 基于 Quartus II 的控制器仿真设计

2.1 控制器总体结构设计

基于 Quartus II 9.0 的 MAX192 控制器的输入输出信号共有 13 种, 其中 cs_out、sclk、dout、sst_in、din 为 FPGA 控制器与 MAX192 的接口信号, 其余为 FPGA 与微控制器的接口信号, 信号定义如表 1 所示。

基于 Quartus II 9.0 的 MAX192 控制器总体结构由 4 个功能模块组成: MAX192_8CHAN、WR_AD_GENE、RAM0 - RAM7 和 OUTPUT, 如图 3 所示。其中 MAX192_8CHAN 模块

为 8 通道顺序转换控制模块，依次转换 8 通道的模拟信号；WR_AD_GENE 模块为写地址生成模块，将 MAX192_8CHAN 模块输出的 7 位计数信

号（每个工频周期内采样 64 个点，对采样点数进行计数，计数范围是 1~64，故为 7 位）转换为 RAM0 - RAM7 的写地址，并产生 RAM0 - RAM7 的读写使能；RAM0 - RAM7 模块为 8 个 A/D 转换结果寄存器组，分别存储通道 0 - 通道 7 的模数转换结果；OUTPUT 模块为输出模块，根据读地址选择读取哪个结果寄存器组。

表 1 总体结构输入输出信号

Table 1 Input and output signals of overall structure

信号名	信号意义
start	输入：开始信号
clk	输入：时钟信号
rd_en	输入：读使能信号
rd_ad	输入：读地址信号，共 9 位
sst_in	输入：模数转换状态指示信号
din	输入：模数转换结果输入信号
fr	输入：工频方波输入信号
cs_out	输出：片选信号
sclk	输出：串行时钟信号
dout	输出：控制字输出信号
ready	输出：可读标志信号，指示 ram 存储未滿
ready_all	输出：可读标志信号，指示 ram 存储已滿
data	输出：结果输出信号，共 16 位

2.2 FPGA 控制器功能模块设计

MAX192_8CHAN 模块产生控制 MAX192 转换的片选信号、串行时钟信号和控制字，并且把接收到的串行 A/D 转换结果转换成并行数据输出。该模块由 clk_div（时钟分频进程）、cs_gene（cs 信号生成进程）、send_byte（控制字输出进程）、res_word（转换结果接收进程）4 个进程组成，结构框图如图 4 所示。

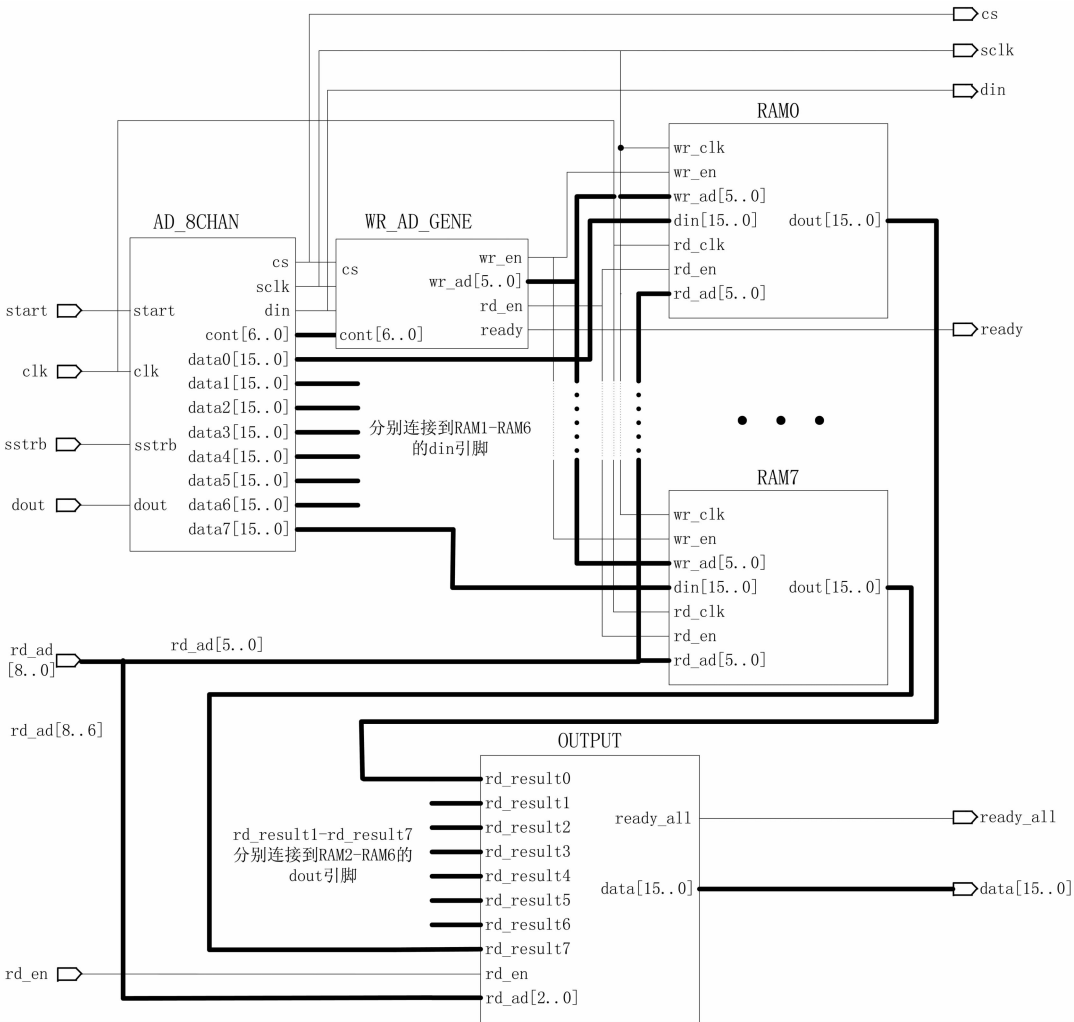


图 3 FPGA 总体结构设计图
Fig. 3 General structure design based on FPGA

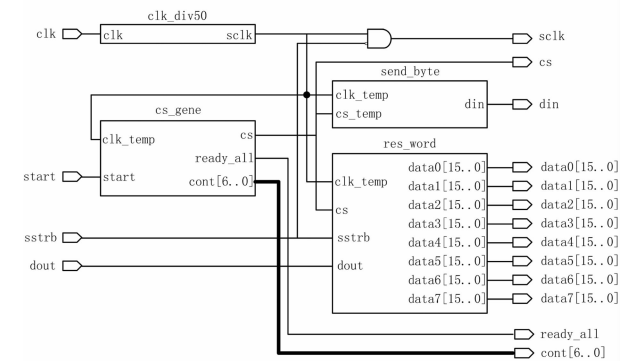


图 4 8 通道顺序转换控制模块结构框图

Fig. 4 Structure diagram of 8 channel order conversion control module

clk_div 进程将输入时钟分频成 1MHz, 作为 sclk。cs_gene 进程生成片选信号 cs_out, cs_out 的一次有效低电平控制 8 通道顺序转换一次, cont 计数加 1。以一个工频周期 20ms 采样 64 点为例, 采样周期为 312.5ms。8 通道顺序转换一次实际占用 130 个 sclk 时钟周期, 即 130ms, 其余为空闲时间。send_byte 进程向 MAX192 串行输出 8 位控制字, 当 cs_out 信号变为有效低电平后, 在 sclk 的 8 个时钟周期下降沿从 dout 引脚向 MAX192 串行输入 8 位控制字, 用以控制 MAX192 的转换通道、信号输入模式、时钟模式、掉电方式, 此后, MAX192 进入转换状态。该进程每隔 15 个 sclk 时钟, 控制器输出一个通道转换控制字, 控制 8 个通道的顺序转换。res_word 进程用来接收 MAX192 输出的 A/D 转换结果, 当 sst_in 为高电平时, MAX192 处于转换状态。转换完毕后, sst_in 由高电平翻转为低电平, res_word 开始接收由 MAX192 向 FPGA 控制器输入的串行数据并将之转换为并行数据, 然后根据对应的通道号输出到相应的 RAM 存储单元。

RAM0 - RAM7 模块是 8 个结果寄存器组, 每个结果寄存器组由 64×16 位存储单元组成, MAX192 的 10 位 A/D 转换结果存放在存储单元低 10 位, 高 6 位补 0。VHDL 程序如下:

```
ARCHITECTURE dataflow OF myram_2port IS
```

```
SUBTYPE ram_word IS STD_LOGIC_VECTOR (15 DOWNT0);
```

```
TYPE ram_table IS ARRAY (0 TO 63) OF ram_word;
```

```
SIGNAL ram: ram_table;
```

```
BEGIN
```

```
PROCESS (wr_clk)
BEGIN
  IF wr_clkEVENT AND wr_clk='1' THEN
    IF wr_en='0' THEN ram(CONV_INTEGER (wr_ad)) <= din;
    END IF;
  END IF;
END PROCESS;

PROCESS (rd_clk)
BEGIN
  IF rd_clkEVENT AND rd_clk='1' THEN
    IF rd_en='0' THEN dout <= ram (CONV_INTEGER (rd_ad));
    END IF;
  END IF;
END PROCESS;

END dataflow;
```

WR_AD_GENE 模块生成 RAM0 - RAM7 的读写使能信号和写地址, 外部读地址总线 rd_ad [8 downto 0] 信号的低 6 位作为 RAM 阵列的 6 位读地址总线。写地址由采样周期计数信号 CONT 生成, CONT 计数范围为 1~64, 依次对应 RAM 存储的 64 个数据的地址 “000000B” ~ “111111B”。OUTPUT 模块使用 3 - 8 译码器将 rd_ad [8 downto 0] 信号的高 3 位产生与 8 个结果寄存器组对应的译码信号, 在外部读使能信号 rd_en 为低电平时由相应结果寄存器组输出 10 位转换数据。

3 仿真波形分析

3.1 8 通道顺序转换控制仿真

8 通道顺序转换控制仿真结果如图 5 所示。初始化时, start、cs_out 为高电平, dout 为低电平, sst_in、din 为高阻抗, data0 ~ data7 为 0000H。在 start 产生一个低电平脉冲后, cs_out 输出低电平, 8 通道顺序转换开始。随后 sst_in 和 din 变为低电平, sclk 时钟产生。其后的 8 个 sclk 时钟上升沿, dout 逐位输出控制字 “10001111B”, 该控制字表示在单端输入、单极性转换模式和外时钟模式下对通道 0 进行 A/D 转换。待控制字输出完毕后, sst_in 翻转为高电平维持 1 个时钟周期, 此时处于转换状态, 从下一个时钟的上升沿开始, 在 din 串行数据线上依次输入 10 位

转换结果和 2 位辅助位，这里假设转换结果为“1100101011B”，辅助位为“00B”。待辅助位输入完毕后，data0 输出并行结果“032BH”，至此，通道 0 的 1 次模数转换完成。data0 输出结果与输入的串行数据一致，仿真正确。在多通道顺序转换模

式下，din 在输入一个通道的 A/D 数据的第 B3 位时，dout 就开始输出下一个通道的控制字，即启动下一个通道的转换，形成多通道并发转换的时序。当 8 通道转换结果均输入完毕后，cs_out 从低电平翻转到高电平，1 次 8 通道顺序转换完成。

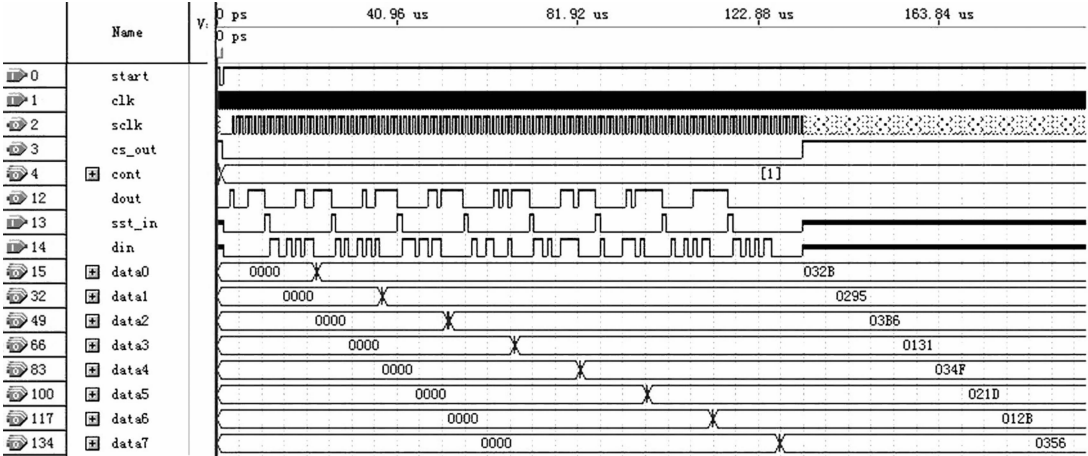


图 5 8 通道顺序转换控制仿真图

Fig. 5 Simulation figure of 8 channel order conversion control

3.2 A/D 转换结果寄存器仿真

A/D 转换结果寄存器仿真结果如图 6 所示。写地址 wr_ad 设置了 16 个地址：001001B~011001B，对应这 16 个写地址，16 个输入数据 din 设置为 6527H~6537H，wr_enable 在写地址为 0CH~16H 时为低电平，其余为高电平。当读使能信号为低电平时输入读地址（有效地址范围 00~3F），测试 A/D 转换结果寄存器输出数据是否正确。当分别输入读地址“02H”、“15H”、

“05H”、“0CH”、“13H”、“19H”时，dout 输出数据为“0000H”、“6532H”、“0000H”、“6529H”、“6530H”、“0000H”、“6530H”。由图 6 可见，在写地址为“02H”、“05H”、“19H”时，虽然有数据输入，但是写使能无效，数据无法写入结果寄存器组，因而 dout 输出数据仍为“0000H”，而在写地址为“15H”、“0CH”、“13H”时，写使能处于有效状态，从中读出的数据与写入数据一致，标志 A/D 转换结果寄存器读写数据正确。

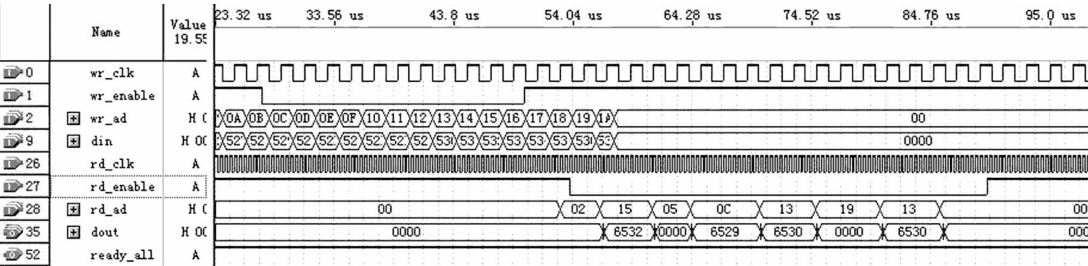


图 6 A/D 转换结果寄存器仿真图

Fig. 6 Simulation figure of A/D conversion result register

3.3 FPGA 控制器总体仿真

FPGA 控制器总体仿真是 8 通道顺序转换控制仿真与 A/D 转换结果寄存器仿真的结合，把 8 通道顺序转换控制模块的并行转换结果存入 A/D 转

换结果寄存器组，待外部读使能有效时读出，仿真结果如图 7 所示。当 start 产生一个低电平脉冲后，cs_out 变为低电平，MAX192 控制器启动，开始对 8 通道模拟输入信号进行顺序 A/D 转换。转换后的并行数据按地址存入 A/D 结果寄存器组中，

转换期间 ready 信号保持高电平, 数据不能被读取。转换完成后, cs_out 信号翻转为高电平, ready 信号翻转为低电平, 并在 rd_en 低电平时读取 A/D 转换结果寄存器组中的数据。由图 7 可见, 当 cs_out 由低电平翻转为高电平之后, 使读信号有效, 外部读地址 rd_ad [8 downto 0] 的低 6 位表示结果寄存器组中存储的地址, 高 3 位表示片选 8 个结果寄存器组, 这里输入 “000H”、“001H”、“040H”、“0C0H”, 分别表示读结果寄存器组 0 的地址 “000000B”、“000001B”、结果寄存器组 1 的地址 “000000B” 和结果寄存器组 3 中地址 “000000B” 中的转换结果, 此后数据输出信号 da-

ta 对应输出 “032BH”、“0000H”、“0295H”、“0136H”, 因为对每个通道的信号只采样了 1 次, 每个结果寄存器组只在地址 “000000B” 输入了数据, 所以读地址 “000001B” 对应输出数据为 “0000H”, 其余 3 个地址输出的数据与串行转换结果 “1100101011B”、“1010010101B”、“0100110110B” 相一致, 数据读取正确。以此类推, 在 cs_out 第二次由低电平翻转为高电平且读有效时, 输入读地址 “001H”、“041H”、“0C1H”、“000H”, 则输出数据分别为 “02AAH”、“0377H”、“0391H”、“032BH”。当每个结果寄存器组均存满 64 个数据后, ready_all 信号翻转为低电平。

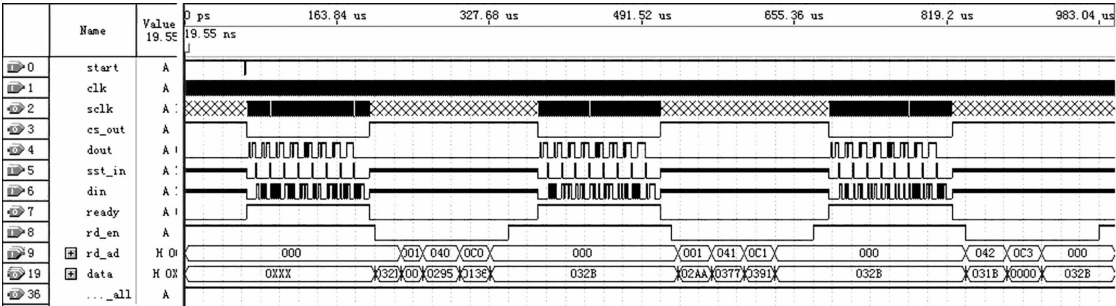


图 7 FPGA 控制器总体仿真图
Fig. 7 General simulation figure of the FPGA controller

以上仿真结果表明: 在多通道顺序转换模式下, 平均每个通道的转换时间为 15 个 sclck 时钟周期, 与单通道单独转换需要的 24 个时钟周期相比减少了 37.5%。数据可及时存入结果寄存器组中, 且读取方便准确, 便于后续微控制器及时读取数据进行数字信号处理算法。

4 结 论

基于 Quartus II 9.0 的 MAX192 控制器集 A/D 转换控制和存储功能为一体, 采用外时钟模式实现对 8 通道信号顺序转换控制与转换结果顺序、及时存储。仿真结果表明: 多通道并发转换与单通道转换相比明显缩短了转换时间, 转换结果可及时存入 A/D 结果寄存器组, 配置微机读取接口, 读取方便, 在过流保护系统中得到了很好的应用, 对实时数据采集和处理系统的实现有一定实用价值。

参考文献:

[1] Liu haohua. MAX192. pdf [EB/OL]. (2010 - 05 - 05) [2014 - 03 - 20]. <http://wenku.baidu.com/view/6b0142f7ba0d4a7302763aeb.html>.

[2] 杨亚让, 吴云虎. VHDL 和 FPGA 在高速 A/D 采样控制器设计中的应用 [J]. 长江大学学报: 自然科学版, 2009, 6 (4): 272 - 274.

[3] 那云彪, 刘桂礼, 刘刚. 基于 AD73360 和 TMS320F2812 的数据采集系统设计 [J]. 测控技术与仪器仪表, 2008 (10): 92 - 96.

[4] 俞宗佐, 李树华. 基于 FPGA 的高速 A/D 转换控制模块的设计 [J]. 内蒙古大学学报: 自然科学版, 2006, 37 (4): 455 - 458.

[5] Yonghai Ning, Zongqiang Guo. Design of Data Acquisition and Storage System Based on the FPGA [J]. SciVerse ScienceDirect, 2012 (29): 2927 - 2931.

[6] 贺秋实, 郝国法, 钱龙. 基于 FPGA 的高速 AD 转换 [J]. 电子设计工程, 2012, 20 (5): 122 - 124.

[7] 辛风艳, 孙晓晔. 基于 FPGA 的 AD 转换控制器设计 [J]. 中国科技信息, 2012 (5): 78 - 79.

[8] 潘未庄. 采用 FPGA 实现音频模数转换器 [J]. 单片机与嵌入式系统应用, 2009 (4): 15 - 17.

[9] 刘东, 郑恩让, 马令坤. 基于 FPGA 的 AD73360 数据采集方法 [J]. 计算机测量与控制, 2010, 18 (1): 223 - 229.

[10] 蒯立山, 郑步生. 基于 FPGA 的宽带 ADC 数据采集系统的设计 [J]. 信息技术, 2012 (12): 116 - 120.

[11] 周朝阳, 许建平. 基于 FPGA 的多通道串行 A/D 转换器的控制器设计 [J]. 现代电子技术, 2008 (20): 55 - 58.