

文章编号: 1673 - 9620 (2008) 01 - 0066 - 04

智能函数发生器的 VHDL 设计与仿真^{*}

梁向红

(江苏工业学院 信息科学与工程学院, 江苏 常州 213164)

摘要: 以函数信号发生器的功能为设计对象, 运用 EDA 技术的设计方法, 进行各种波形的输入设计、设计处理, 项目校验和器件编程。在 VHDL 语言的编写中按照行为描述, 寄存器传输描述, 实现了几种波形的软件设计和具体逻辑元件结构的硬件映射。结合 FPGA/CPLD 的开发集成环境, 产生了函数信号发生器的各种信号, 同时完成了行为仿真、时序和功能仿真, 给出了在 GW48 - CK 型实验开发系统上实现的正弦波形仿真结果。实验表明采用该方法能生成锯齿波、三角波、阶梯波、正弦波等波形, 实现了信号发生器的功能, 说明该设计是行之有效的。信号发生器功能设计的方法可以推广到其它电子系统的设计中。

关键词: 电子设计自动化; VHDL 硬件描述语言; 现场可编程门阵列; 智能函数发生器

中图分类号: TP 216

文献标识码: A

Design and Simulation of Intelligent Function Signal Generating Device with VHDL

LIANG Xiang - hong

(School of Information Science and Engineering, Jiangsu Polytechnic University, Changzhou 213164, China)

Abstract: This paper takes the function signal generating device function as the design object, using the EDA technology design method to input design each kind of waveform, to carry on design processing, the project verification and the component programming. In the VHDL language compilation according to the behavior description and the register transmission description. Several kinds of the waveform software design and the concrete logic element structure of the hardware mapping were realized. With the FPGA chip and design intelligence function signal, the experiment simultaneously completed the behavior simulation, the succession and function simulation. It also produced the sine waveform simulation map realized in the GW48 - CK developmental experiment system. The experiment indicated that by using this method waveforms such as sawtooth, triangle wave, ladder wave, sine wave can be generated. The function of signal generator was realized, which shows the design is effective. The signal generator function design method can be extended to other electronic system designs.

Key words: EDA; VHDL; FPGA; intelligent function signal generator

在科学研究、工程教育及生产实践中, 常常需要用到信号发生器。而信号发生器的主要功能是为

^{*} 收稿日期: 2007 - 05 - 16

作者简介: 梁向红 (1964 -), 女, 安徽巢湖人, 高级工程师。

各种场合产生所需的信号波形。

长期使用的信号发生器, 大部分是由一些电子元器件组成的模拟电路构成的, 这类仪器作为信号源, 频率可达上百 MHz, 但是其体积大, 损耗也大^[1]。EDA 技术是现代电子信息工程领域的一门新技术, 它是在先进的计算机工作平台上开发出来的一整套电子系统设计的软硬件工具, 它提供了先进的电子系统设计方法。随着 EDA 技术的不断发展, 当大规模可编程逻辑器件 FPGA 和 CPLD 出现, 并有了相应的 EDA 设计工具之后, 其含义就不仅局限在当初的电路版图的设计自动化概念上, 而当今的 EDA 技术更多的是指芯片内的电子系统设计自动化^[2]。硬件描述语言的发展至今已有几十年的历史, 并已成功地应用到系统的仿真、验证和设计综合等方面。

利用 EDA 技术对 FPGA/ CPLD 的开发, 通常是借助软件方式的硬件系统开发。本文以函数信号发生器产生波形的功能为设计对象, 阐述了 EDA 技术的设计方法, 使用 EDA 设计工具对函数信号发生器产生的波形按照设计流程进行几个层次设计的过程, 具体结合 FPGA/ CPLD 的开发集成环境 MAX+ PLUS 软件平台和 VHDL 语言及 GW48 - CK 型实验开发系统实验装置上配置的编程工具和仿真工具, 设计出智能函数信号发生器的各种波形, 完成了函数信号发生器功能软件方式的硬件实现过程, 并进行功能、时序及硬件仿真, 给出了仿真的结果。

1 智能函数发生器设计

1.1 传统的设计方案

智能函数信号发生器一般是指能自动产生递增斜波、递减斜波、方波、三角波、正弦波、阶梯波等函数信号波形的电路和仪器。根据用途不同, 函数发生器可以产生多种信号波形。使用的器件可以是分立元件, 也可以采用集成电路 (如单片函数发生器模块 8038), 如由集成运算放大器与晶体管差分放大器就可以共同组成方波 - 三角波 - 正弦波函数信号发生器^[3]。这种有模拟电路元器件的构成方式需用器件多, 仪器体积较大, 损耗也大。

1.2 EDA 技术的设计方案

1.2.1 EDA 技术设计信号发生器的流程

函数信号发生器的设计流程, 如图 1 所示。

信号发生器功能的设计是基于美国 Altera 公司提供的 FPGA/ CPLD 的开发集成环境 MAX+ PLUS 软件经过设计输入编辑、编译网表提取、数据库建立、逻辑综合、逻辑分割、适配、延时网表提取、编程文件装配及编程下载的流程。

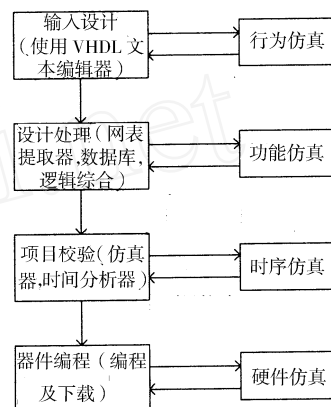


图1 函数发生器设计流程

Fig 1 Function generator design process

输入设计: 硬件系统通常是通过输入信号来驱动的, 在不同输入信号前提下其行为表现是产生不同的输出结果^[4]。信号发生器设计过程中, 设计者把需要产生的波形设计成几段 VHDL 语言程序作为设计输入。MAX+ PLUS 是一种层次设计软件, 设计者在底层分别设计了几段针对不同波形的 VHDL 程序模块, 包括递增斜波、递减斜波、方波、三角波、正弦波、阶梯波, 函数信号发生器的总体框图。如图 2 所示。

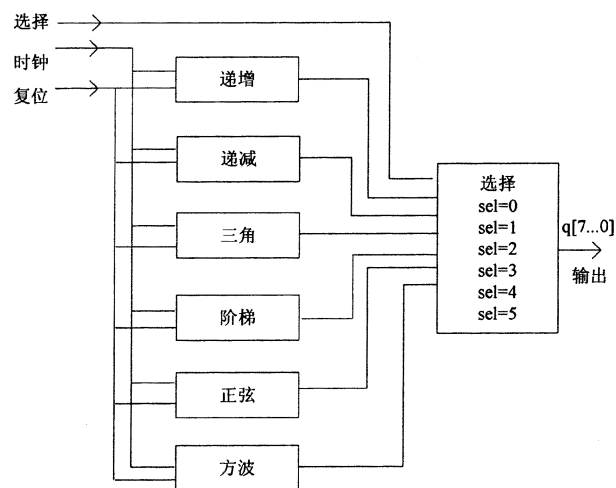


图2 函数信号发生器的总体框图

Fig 2 Function generator total diagram

设计处理: 设计处理的任务是对项目进行编译, 就是将信号发生器的程序改为可以用于生成的“语言”, 编译器通过读入设计文件并产生用于编程、仿真和分析的输出文件。

项目校验: MAX + PLUS 提供了设计校验过程仿真和定时分析, 项目编译后, 为确保设计无误, 需再用专用软件进行仿真。如发现了错误, 则对设计输入进行部分修改直至无误。设计者把信号发生器的 VHDL 程序模块编译通过后用 MAX + PLUS 进行了功能和时序的仿真测试。验证了上述的几个波形。波形图参见后续的说明。

器件编程: 通过实验装置上配带的编程器, 利用 MAX + PLUS 设计者将信号发生器的编程文件配置下载到 Altera 公司的 FLEX 系列 EPF10K10LC84 的 FPGA 芯片上, 并通过简单的外围电路 (如 D/A 转换器和示波器) 观察到各种信号波形。

1.2.2 函数波形和智能选择模块的设计

在利用 HDL 的硬件设计方法中, 经过了 3 个层次对信号发生器的硬件设计。

第一层行为描述, 就是对整个系统的数学模型的描述, 把系统分成几个具体的模块, 采用 VHDL 语言生成所需的基本模块。

正弦波形的设计: 采用描点法来描述正弦波, 在仿真波形中可以看到输入输出引脚设置, 其中 clk 输入时钟端口, reset 为输入复位端口, d 为整数输出端口, 一个周期选取 64 个点, 计算出 64 个常数后, 查表输出^[5]。复位信号的级别高于其它信号, 而且低电平是有效电平, 所以整个程序的工作状态应处于高电平状态。当时钟检测到上升沿时, 计数器计数, 描点工作开始。没达到最大值之前, 一直自加, 否则就自动转为“0”。那么首先要确定这 64 个点。然后在程序里用 case 语句来选择。

设计中用 VHDL 语言勾画出正弦波的输入输出引脚和内部计数过程的计数状态变化时序和关系。

递增锯齿波的设计: 采用 0 ~ 255 循环加法计数器实现。设计思路是: reset 是复位信号, 要首先考虑。tmp 是引进的一个中间变量。通过赋值给输出值。clk 是时钟信号, 当复位信号有效时, 输出为“0”, 输出最小值设为“0”, 最大值设为“255”, 从“0”开始, 当时钟检测到有上升沿的时候, 输出就会呈现递增的趋势, 加“1”。

递减锯齿波的设计: 采用 255 ~ 0 循环减法计数器实现。

三角波的设计: 采用 0 ~ 255 ~ 0 循环加/减法计数器实现。

阶梯波形的设计: 可采用 00H、20H、60H、

80H、A0H、COH、E0H 八进制计数器实现, 每次阶梯常数为 32。

方波的设计: 采用高/低电平实现, 用 cnt 来控制方波的周期, 用 a 的值来控制输出到底是高电平还是低电平。注意 cnt 的取值, 不能太大, 否则方波的周期会很大, 不容易看出是方波了。

波形选择调用模块的设计: 波形选择模块的功能是把前面的几个波形模块联系起来, 可以根据外部的开关状态选择输出的波形。在芯片上就是通过几个按键的选择来选择模块, sel 就是这个按键, sel 的不同值就会选择不同的波形。如: 当 sel 值为“0”时, 波形选择就选递增模块与之对应。“1”与递减模块对应, 然后“2”、“3”、“4”、“5”分别与三角、阶梯、正弦、方波模块对应, 其他值就设为无效值。在仿真波形中可以看到 sel 为波形选择端口, 该模块可以根据外部的开关状态选择输出的波形。Sel = ‘4’ 是正弦波形。

第二层寄存器传输描述, 在多层次的设计中, 高层次的设计模块调用低层次的设计模块就要用构造体的结构描述方式, 这种方式最能提高设计效率, 它可以将已有的设计成果, 方便地用到新的设计中去^[4]。用行为方式描述的系统结构的程序, 其抽象程度高, 很难直接到具体逻辑元件结构的硬件实现。要想得到硬件的具体实现, 必须将行为方式描述的 VHDL 程序改写为寄存器传输描述, 即采用元件例化语句, 分别将递增斜波、递减斜波、方波、三角波、正弦波、阶梯波用端口映射的方法来完成映射。如正弦波模块就可定义为:

```
COMPONENT sin IS
PORT (clk, reset: IN STD_LOGIC;
      q: OUT STD_LOGIC_VECTOR (7
DOWNTO 0));
END COMPONENT;
```

然后端口映射的源代码如下:

```
U1: sin PORT MAP (clk => clk, reset => reset, q => iq); 其它模块类似。
```

第三层逻辑综合, 使用实验装置上提供的逻辑综合工具完成了硬件电路的设计。

2 信号发生器的功能与时序仿真测试

上述各功能模块设计完成后, 根据总体结构的逻辑顺序将模块连接好, 启动 MAX + PLUS 里编译功能, 调试各分电路的 vhd 文件, 然后调用波形仿真工具, 引入管脚信号, 设定输入信号, 然

后开始仿真。

以正弦波形模块为例, clr 是复位信号, clk 是时钟信号, 具体 clk, sel 的赋值情况请看图 3 正弦

波仿真波形结果。其他波形的仿真结果在这里就不一一例举了。通过分析仿真结果, 说明, 以上设计能够满足设计要求。

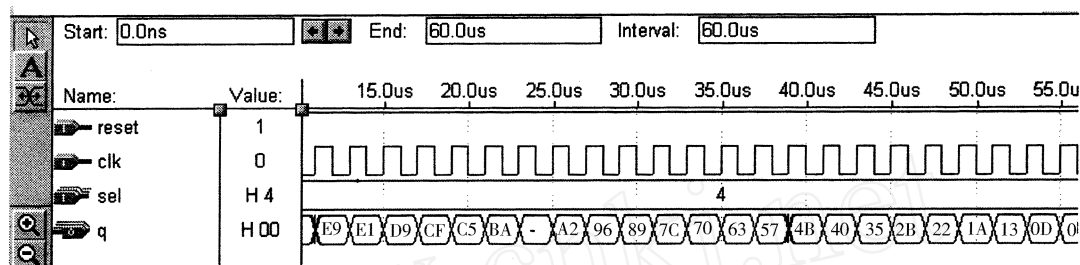


图 3 正弦波仿真波形

Fig 3 Sine wave simulation profile

硬件功能仿真的过程是通过实验装置上配带的编程器, 将信号发生器的编程文件配置, 下载至 Altera 公司的 FLEX10K 系列 EPF10K10LC84 的 FPGA 芯片上, 自动完成用软件的方式设计电子系统到硬件系统的实现, 再配以外围电路将信号输出, 就可以在示波器上看到所选信号的波形。

3 结束语

运用 VHDL 语言进行智能函数发生器功能的设计具有以下优势: 信号发生器的功能测试与仿真实验结果表明, 时序和波形正确, 达到了设计的功能要求, 说明该设计是行之有效的^[6]。在信号量化的过程中, 可以实现任意模数的计数器, 如加、减计数, 可以方便的实现递增锯齿波和递减锯齿波的设计。为了智能化的选择不同信号的波形, 系统设计了波形选择调用模块, 来完成不同函数信号的输出。在设计过程中, 可以将一些常用的模块定义为相应的逻辑元件符号, 以便共享和复

用, 使设计具有可重用性和可移植性, 可以实现一些复杂系统的设计, 提高工作效率。信号发生器功能设计和仿真的实现方法可以推广到其它电子系统的设计中。

参考文献:

- [1] 杨丽君. 智能数字式低频信号发生器 [J]. 电工技术杂志 (数字化期刊), 1993. (3): 11.
- [2] 李国洪, 沈明山. 可编程器件 EDA 技术与实践 [M]. 北京: 机械工业出版社, 2004.
- [3] 刘志军. 模拟电路基础实验教程 [M]. 北京: 清华大学出版社, 2005.
- [4] 侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计 [M]. 西安: 西安电子科技大学出版社, 2004.
- [5] 朱正伟. EDA 技术与应用 [M]. 北京: 清华大学出版社, 2005.
- [6] 石伟, 宋跃, 李琳. 基于 FPGA 的 DDS 调频信号的研究与实现 [J]. 微计算机信息, 2005, 21 (5): 179 - 181.