

文章编号: 1673 - 9620 (2008) 03 - 0043 - 03

基于 VHDL 的光电编码器信号处理方法^{*}

徐建忠, 何 丽, 俞竹青

(江苏工业学院 机械与能源工程学院, 江苏 常州 213016)

摘要: 介绍了一种基于 VHDL 的光电编码器信号处理方法, 包括其功能、原理、软件编程。描述了该信号处理方法的 3 个功能: 4 倍频细分、辨向及计数。根据波形的跳沿实现 4 倍频细分; 通过对波形相位的分析, 采用基于相位变化的设计原理实行辨向。整个系统在 MAX + Plus 软件环境下实现编程, 仿真证明结果正确。

关键词: VHDL; 光电编码器; 4 倍频细分; 辨向

中图分类号: TP 212

文献标识码: B

Study of Signal Processing Method for Encoder Based on VHDL

XU Jian - zhong, HE Li, YU Zhu - qing

(School of Mechanical and Energy Engineering, Jiangsu Polytechnic University, Changzhou 213016, China)

Abstract: A kind of signal processing method for encoder based on VHDL language is introduced, including its function, principle and programming. Three functions are described: four fold - frequency subdivision, direction - judgment and counting. The four fold - frequency subdivision is realized on the basis of scarp of waveform, and the direction - judgment is realized on the basis of phase change after analyzing waveform. The program is in MAX + Plus, and the result is approved by simulation.

Key words: VHDL; encoder; four fold - frequency subdivision; direction - judgment

光电编码器是一种集光、机、电为一体的数字检测装置。作为一次光电传感检测元件的光电编码器, 具有精度高、响应快、抗干扰能力强、性能稳定可靠等显著的优点, 它通常用于角位移和线位移的测量系统中, 如机器人的关节, 天文望远镜等机械设备的转角和倾角, 自控机床的刀具, 高精度闭环调速系统等诸多领域。如果加设机械变换装置。它在控制系统的位置反馈测量及传动误差的比较测量方面发挥着越来越大的作用。

以往对单路角度传感器(光电编码器)数据信号进行四倍频以及辨向处理时, 多采用门级电路搭建的电路板^[1~3], 单片机和 FPGA 编程^[4,5]来实

现。其中, 使用电路板或单片机的方法通用性差、编译复杂、电路板庞大、而且, 响应其他事件的实时性变差, 不适合用于运算速度快, 且多路输入的数据采集计算任务。随着电子设计技术的飞速发展, 用户现场可编程门阵列(FPGA)的复杂程度越来越高, 其所具备的功能也越来越多, 芯片也向小型化发展, 逐步成为复杂数字硬件电路设计的理想首选^[6,7]。FPGA/CPLD 既继承了 ASIC 的大规模、高集成度、高可靠性的优点、又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点。FPGA 的集成度很高, 可完成极其复杂的时序和组合逻辑电路功能, 适用于高速、高密度的高端数字

^{*} 收稿日期: 2007 - 04 - 17

作者简介: 徐建忠 (1982 -), 男, 江苏苏州人, 硕士生。

逻辑电路设计领域。

VHDL 作为 IEEE 所规范的硬件描述语言, 可以描述电路功能、信号连接关系及定时关系, 它比电路原理图能更有效地表达硬件电路的特征。具有设计安全、方法灵活、支持广泛、语言标准规范, 易于共享和复用等特点。本文用 VHDL 语言描述四倍频细分、转向判别及计数综合一体的光电编码器数据采集电路程序。

1 光电编码器信号鉴相原理

当光电编码器随控制对象发生角位移变化时, 光电编码器会发出 A、B 两路相位差为 90° 的数字方波信号。正转时 A 超前 B 为 90°, 反转时 B 超前 A 为 90°。图 1 是编码器正反转时输出脉冲的相位关系。

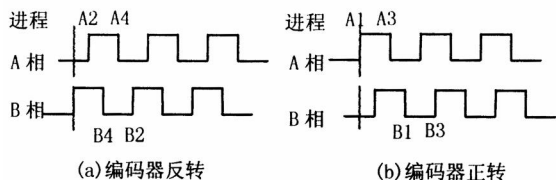


图 1 光电编码器输出信号波形

Fig 1 Output signal waveform of encoder

由图 1 中的编码器输出波形可以看出, A、B 相在一个周期内分为 4 段 (即 1/4 周期)。编码器正转时, 每个 1/4 周期的 A 相都超前 B 相 90°; 编码器反转时, 每个 1/4 周期的 A 相都落后 B 相 90°。当需要对计数器进行正计数时, A 信号的上升沿及下降沿均超前 B 信号 1/4 周期; 反之, 当需要对计数器进行逆计数时, A 信号的上升沿及下降沿均滞后 B 信号 1/4 周期。根据 A 信号相对于 B 信号的超前和滞后, 相应做出加计数或减计数的判断。A、B 信号跳变真值表如表 1 所示。

表 1 A、B 信号跳变真值表

Table 1 Truth table of A, B signal counting

A				B			
A	B	计数器	进程	A	B	计数器	进程
1	1	- 1	A2	1	1	+ 1	B1
0	0	+ 1	A1	0	0	- 1	B2
1	0	+ 1	A3	1	0	- 1	B4
0	1	- 1	A4	0	1	+ 1	B3

2 光电编码器信号处理电路的设计

2.1 实现 4 倍频、辨向和计数

以一路光电编码器所发出的方波信号为例, 通过对 A 和 B 信号的上升沿和下降沿进行计数实现

四倍频; 并通过在每个跳变沿判断 A 与 B 的电平高低来实现转向辨别。分八个进程实现 (如图 1 和表 1 所示), 其中 B1 进程实现当 b 上升沿触发并且 a 为高电平时判断光电编码器为正转, 计数器正计数; B2 进程实现当 b 上升沿触发并且 a 为低电平时判断光电编码器为反转, 计数器反计数; B3 进程实现当 b 下降沿触发并且 a 为低电平时判断光电编码器为正转, 计数器正计数; B4 进程实现当 b 下降沿触发并且 a 为高电平时判断光电编码器为反转, 计数器反计数; A1 进程实现当 a 上升沿触发并且 b 为低电平时判断光电编码器为正转, 计数器正计数; A2 进程实现当 a 上升沿触发并且 b 为高电平时判断光电编码器为反转, 计数器反计数; A3 进程实现当 a 下降沿触发并且 b 为高电平时判断光电编码器为正转, 计数器正计数; A4 进程实现当 a 下降沿触发并且 b 为低电平时判断光电编码器为反转, 计数器反计数。因采用增量式光电编码器, 在计数前应有零点信号 RST 使计数器清零。判断对计数器进行加操作还是减操作, 其流程图如图 2 所示。

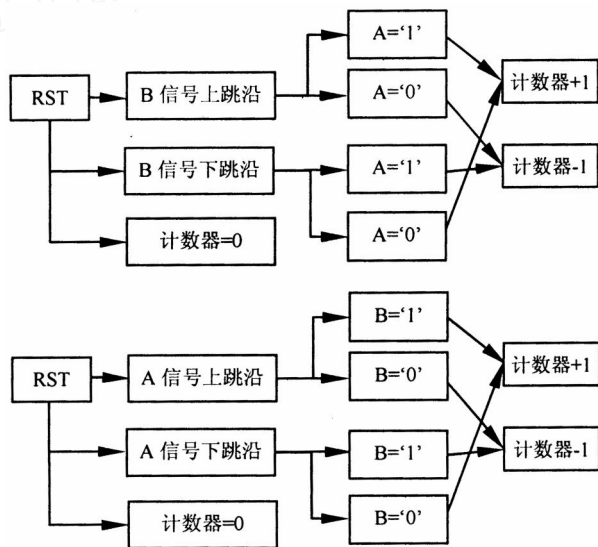


图 2 辨向与计数流程图

Fig 2 Flowchart of direction - judgement and counting

VHDL 语言描述光电编码器信号处理电路程序如下:

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY fxbp IS
    PORT (a, b, rst: IN STD_LOGIC;
          count: OUT STD_LOGIC_vector
    );

```

```

(15 downto 0)
);
END fxb;
ARCHITECTURE fxb_RTL OF fxb IS
    SIGNAL s_cdw, s_cdw1, s_cdw2, s_cdw3: STD_LOGIC_vector (15 downto 0);
    SIGNAL s_cup, s_cup1, s_cup2, s_cup3: STD_LOGIC_vector (15 downto 0);
    SIGNAL count1: STD_LOGIC_vector (15 downto 0);
BEGIN
    count1 <= "0111111111111111"; - 设置计数初值为 7FFFH
    B1: PROCESS (b, rst) BEGIN
        IF (rst = '1') then - rst 为零位信号, rst = 1 有效
            s_cup <= "0000000000000000"; - s_cup 清零
        ELSIF (b'EVENT AND b = '1') THEN - B 上升沿触发
            IF (a = '1') THEN
                s_cup <= s_cup + 1; - 加计数器 + 1
            END IF;

```

```

END IF;

```

```

END PROCESS;

```

其它进程的编写与 B1 原理相同。

```

.....

```

```

END PROCESS;

```

```

count <= count1 + s_cup + s_cup1 + s_cup2 + s_cup3 - s_cdw - s_cdw1 - s_cdw2 - s_cdw3;
- 得到 4 倍频计数值

```

```

END fxb_RTL;

```

2.2 数据传输

光电编码器计数器的数据通过串口 RS232 向外传输。

3 光电编码器信号处理电路仿真

在 MAX+Plus 环境下完成编码、调试后进行编译、时序仿真。波形如图 3 所示。其中 rst 为零位信号, a、b 为光电编码器输出的两路相位差为 90 的脉冲信号, count 为 16 位计数值。在光电编码器输出信号的一个周期内, count 计数值变化 4 次, 即为 4 倍频计数, 当电机转向改变时, 计数值也会做相应的加减计数。

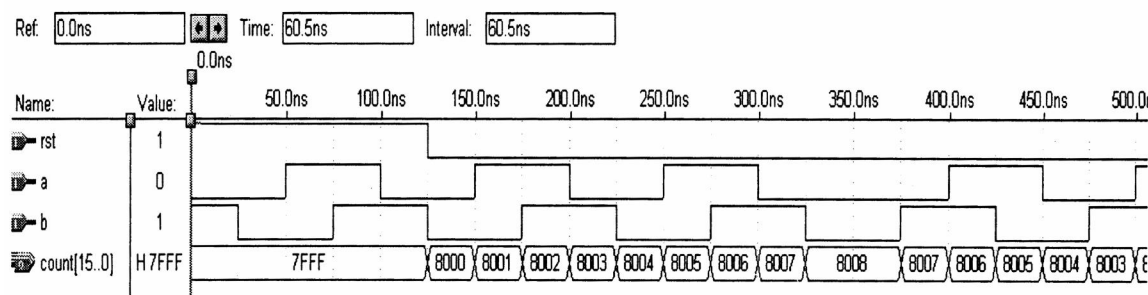


图 3 仿真波形图

Fig 3 Diagram simulation waveform

4 结论

用 VHDL 语言描述 4 倍频细分、转向判别及计数综合一体的光电编码器信号处理电路, 并由 MAX+Plus 开发环境对其逻辑功能进行了仿真, 仿真结果正确, 表明其原理和方法可靠。

参考文献:

[1] 阎洁, 张琦, 唐建中, 等. 机床定位控制中的智能光栅测控系统 [J]. 中国机械工程, 1999, (4): 16 - 20.

- [2] 王君立, 李大一, 刘琳. 莫尔条纹快速细分在光电轴角编码器中的应用 [J]. 微细加工技术, 2005, (6): 127 - 129.
- [3] 王君立, 隗海林, 刘琳. 改善莫尔条纹细分精度的硬件实现 [J]. 传感技术学报, 2005, (1): 212 - 214.
- [4] 但永平, 杨雷. 基于 FPGA 的光栅尺信号智能接口模块 [J]. 国外电子器件, 2004, (12): 3 - 5.
- [5] 应卓瑜, 梁坚, 邵亮, 等. 基于 CPLD 的辨向细分电路设计 [J]. 传感技术学报, 2005, (1): 146 - 148.
- [6] 陆海峰. 实现 FPGA 与 PC 的串口通讯 [J]. 电子设计应用, 2004, (10): 69 - 70, 84.
- [7] 叶东, 周志伟, 张颢, 等. 基于 FPGA 的多路光电编码器数据采集系统 [J]. 设计与制造, 2006, (5): 45 - 47.