

文章编号: 2095—0411 (2013) 04 - 0088 - 05

# 基于 ARM 的 LED 显示屏异步控制系统<sup>\*</sup>

范 宇<sup>1</sup>, 龚 伟<sup>1</sup>, 李 农<sup>2</sup>

(1. 江苏开放大学 信息工程系, 江苏 南京 210019; 2. 南京洛普股份有限公司, 江苏 南京 210061)

**摘要:** 主流 LED 显示屏异步控制系统采用 51 系列单片机完成对显示屏的控制, 无法跟上当下 LED 显示屏像素和刷新率的提高。基于更高主频的 ARM7 LPC2214 和 CPLD 芯片的异步双色屏控制系统采用 ARM 地址总线单独发送控制信号给 CPLD (复杂可编程逻辑器件), 以令其实现数据分配、寄存、发送以及屏幕控制功能, 从而减少了数据总线的占用, 提高了传输效率, 并可脱离上位机单独控制显示屏。上位机仅为控制系统提供数据更新维护 and 格式转换等必要支持。该系统可控制 128 行 64 列的 LED 双色点阵屏显示图像、文字、动画视频, 可取代单片机应用于各类户内外大中型 LED 异步屏的控制。

**关键词:** ARM; 复杂可编程逻辑器件; 发光二极管; 异步控制系统

中图分类号: TN 873

文献标识码: A

doi: 10.3969/j.issn.2095—0411.2013.04.019

## Asynchronous Control System of LED Lattice Displayer Based on ARM

FAN Yu<sup>1</sup>, GONG Wei<sup>1</sup>, LI Nong<sup>2</sup>

(1. Department of Information Technology, Jiangsu Open University, Nanjing 210019, China; 2. Lopu Co. Ltd., Nanjing 210061, China)

**Abstract:** Asynchronous control system of the LED Lattice Displayer designed by AT89C51 is not capable of working at higher display resolution and refresh rate. A scheme of designing the asynchronous double color control system for double color LED Lattice Displayer based on ARM LPC2214 and CPLD is introduced. This system sends control signals by AHB address bus to CPLD which is going to delivery, buffer, and forward the data and send control instructions to the Displayer panel. Thus the traffic flow can be reduced and the transmission efficiency can be increased. Besides the data downloading and transforming period, the system is able to control 128×64 LED double color dot - matrix screen to display texts, pictures, or even videos without any instructions from PC. This control system is suitable to replace the AT89C51 in any indoor - outdoor large and medium LED lattice displayer controller.

**Key words:** ARM; CPLD; LED; asynchronous control system

随着信息化社会的发展, 人们对于高分辨率、高刷新率的大型平面显示系统的需求愈演愈烈。近年来, 大众媒体所带来的文化效益和经济效益的急剧增长也促使了各家厂商竞相开发各类新型大屏幕显示系统。这其中, 大型 LED 显示屏系统以其高

亮度低能耗等优点渐渐成为行业中追捧的热点。该类显示系统可分为同步系统和异步系统, 其中同步系统是指 LED 显示屏的显示内容能够实时、同步地反映 PC 机要显示的内容。LED 异步显示系统就是脱离 PC 机实时控制, 按照编辑好的顺序、显示

<sup>\*</sup> 收稿日期: 2013 - 06 - 23

作者简介: 范宇 (1984—), 男, 江苏南京人, 硕士。

方式、循环时间自动循环显示的可能<sup>[1]</sup>。该系统在掉电后依然可以保存大容量画面信息, 当需要修改显示内容时, 通过多种接口连接至 PC 机即可实现。

## 1 系统结构及工作原理

### 1.1 LED 显示屏工作原理

LED 显示屏通常由多个 LED 显示模组扩展组成, 再外接供电和散热等模块实现整体功能。其中每个模组在控制器的控制下都可单独完成屏上该区域的显示工作。在单个模组中, 控制器可使用静态驱动和动态扫描驱动两种方式来完成对各像素的控制。静态驱动是指从驱动芯片的输出脚到各像素点之间的“点对点”控制, 每个像素都使用单独的行列控制引脚, 芯片数量多成本高, 稳定性好, 亮度高; 而扫描驱动是从驱动芯片输出脚到各列像素之间的“点对列”控制, 每个列控制引脚都要分时控制不同行的像素。以 1/8 扫描为例, 控制器要在一个扫描周期中完成 8 次行扫描, 每次刷新整个模组中 1/8 的像素。

设计要求中的 128×64 点阵的红绿双色 LED 显示屏就使用了 1/8 扫描模式, 它是由 8×8 个 16×8 像素的双色 LED 模块拼装而成。每 8 行像素对应 R、G 两个数据输入口, 也即红绿两色的列控制引脚。每行间的切换由行选信号 CBA 来控制。输入完一行 64 个像素的数据后, 显示屏刷新该行显示内容, 并开始下一行数据的输入, 以 8 行为一个周期周而复始。为了使人眼无法察觉画面的闪烁, 一个扫描周期必须在 1/30s 内完成, 而一行的扫描刷新则必须在 1/240s 内完成。

主流传统 LED 异步显示控制系统主要以单片机为主控芯片, 控制数据发送、行选、刷新等操作, 可满足普通文字显示需求, 但在控制较大屏幕时, 由于主频的限制, 刷新率较低。而 ARM 在处理速度、I/O 接口的数量和功能、以及存储器的容量上全面高于单片机, 且可在需要时移植实时操作系统, 能够更加高效地实现更多复杂功能<sup>[2]</sup>。

设计需求中所要控制的 LED 屏幕为异步屏。此类屏在工作状态中, PC 机与控制系统是无需联机的。控制系统单独地完成数据的提供和屏幕的控制。大量的文字及图片信息在屏幕工作之前已由 PC 机发送至控制系统的片外存储器中保存, 以备脱机后能够被调用显示。在这一点上, ARM 芯片

所支持的大容量外部存储器也体现出其优势<sup>[3]</sup>。主控芯片并不是简单地播放文字信息, 而是可完成文字、图片的滚屏、循环等操作。高速连续播放的图片还可形成视频效果, 当然这需要上位机完成相应的图片格式转换。以上效果的实现是基于 ARM 的高运算速度及片内 Flash 的高容量等优势。

### 1.2 控制系统结构

本次设计的 LED 异步双色屏显示控制系统主要采用了 ARM7TSMI—S LPC2214 芯片, 扫描主控单元主要由该芯片和 CPLD 芯片共同组成。该系统可以同时控制 128×64 红绿双色 LED 屏工作并可根据需求将屏体横向串联拓展。拓展后可使单系统控制更多模组, 拓展的屏体数仅受屏幕刷新率要求的限制。

如图 1 所示, 系统主要分成两部分, 左侧为包含 ARM 芯片的最小电路<sup>[4]</sup>及各类接口, 右侧由 CPLD 芯片, 两片 74LS374 芯片, 显示屏数据卡(多片 74LS245)组成。

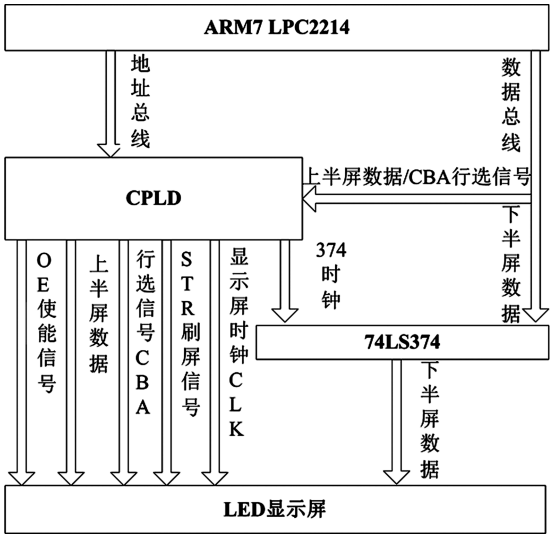


图 1 硬件结构

Fig. 1 Hardware structure

ARM 数据总线在本系统中被应用于向外部器件 CPLD 发送屏幕数据。由于 LPC2214 的外部存储器总线宽度可设为 8 位、16 位和 32 位模式, 每一种模式在总线工作模式上存在差别, 所以对应的硬件连接也都是不同的<sup>[5]</sup>。本系统中使用了最常用的 16 位总线模式, 此时有效的数据线有 D15~D0<sup>[6]</sup>, 正好满足向外部器件 CPLD 发送 16 位数据信号的要求。

ARM 地址总线在本系统中被应用于向外部器件 CPLD 发送控制信号。而 CPLD 及两片 74LS374

芯片用作直接控制 LED 显示屏的数据显示, LED 显示屏接口详述见 1.3 节。由于 CPLD 的输出端口有限, 无法同时刷新设计需求中的 128 行双色显示屏一次 32 个数据, 所以可将屏幕分割为上半屏和下半屏, 使用 74LS374 芯片缓存半屏数据, 再会同 CPLD 同步为整屏提供信号。

系统的控制信号框图如图 2, ARM 通过数据总线向 CPLD 和 74LS374 发送数据以及行选信号, 通过地址总线向 CPLD 发送控制指令。而 CPLD 则根据 ARM 地址线信号进一步发出对显示屏及 74LS374 的各控制信号, 具体实现方法见 1.4。

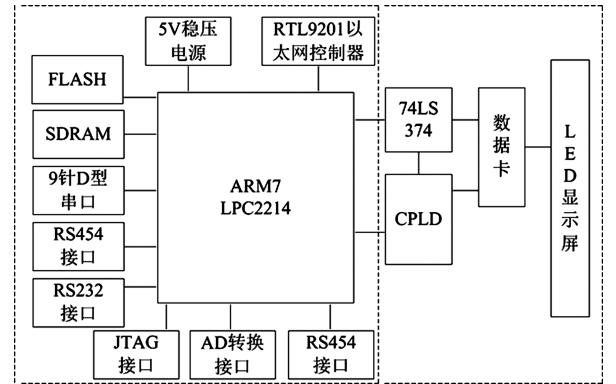


图 2 主要芯片信号控制框图

Fig. 2 Control block diagram of core chips' signals

1.3 主控电路接口设计

如 1.1 节中所述, 设计中的 LED 屏采用 1/8 扫描方式, 其信号输入端口除接地端外共有: R1、R2、G1、G2、A、B、C、OE、STR、CLK。其中 R1、G1、R2、G2 为两组数据端口, 分别对应上下各 8 行的红灯、绿灯; C、A、B 为行选信号端口; OE 为使能信号端口, 固定接低电平有效; STR 为显示屏刷新信号端口; CLK 为时钟信号端口。电路涉及接口如图 3 所示。

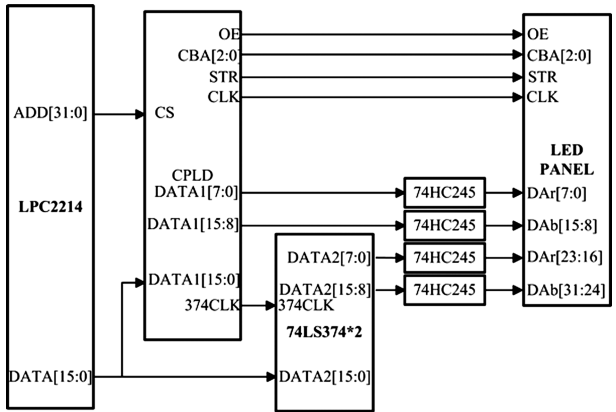


图 3 各主芯片的通信接口

Fig. 3 Communication interfaces between the core chips

数据接收及刷新的工作流程为: 每 8 行为一个刷新单元, 从第 1 行起, 从左到右逐个像素将 2 进制数据 (包括红绿二色值) 放入寄存器, 若放入 1 则该像素在下个刷新周期显示为亮, 若放入 0 则显示为灭; 接收满 64 个像素的红绿亮灭数据, 则该行数据准备完毕, 可以接收刷新信号 CTR。该行刷新完成后, 由 CPLD 发来的行选信号 CBA 计数加一, 开始接收寄存第 2 行数据, 如此循环直到第 8 行刷新完成, 则一帧刷新完毕。从第 9 至第 16 行的工作方式也与此一致, 其接收数据端口号为 R2、G2。

如果以前文所述 LED 显示模组为  $i \times 64$  的显示屏, 其他各行也以每 16 行及两组红绿数据接口为单元, 同时接收数据, 如第 1 行、第 9 行、第 17 行等均为最先接收到数据的行。这  $i/8$  行数据接收完毕后的刷新过程是同步的, 均受 CTR 端口控制; 行选信号 C、B、A 也是同步的, 均受 CPLD 控制。C、B、A 这 3 个 2 进制数从 000 到 111 计数, 可形成对每单元中的 8 行的行选操作。

在本设计中, 控制系统是以如下方式为该显示屏提供数据和控制信号的: 首先将下半屏每个刷新单元的第 1 行第 1 列数据发往 CPLD 芯片, CPLD 将之发往 74LS374 进行锁存。ARM 再将上半屏每个刷新单元的第 1 行数据发送至 CPLD, CPLD 继而发出 CLK 显示屏时钟信号, 以通知显示屏从 74LS374 芯片及 CPLD 读取全屏幕每单元第 1 行第 1 点的数据。当发送满每个刷新单元首行数据后, ARM 改变地址线信号, 使 CPLD 发送出 STR 信号, 之前缓存的数据被刷新于显示屏上。最后 ARM 通知 CPLD 改变行选信号, 继而以相同方式发送余下的第 2 到 8 行数据, 直至整帧数据。至此屏幕的一帧刷新完成。

1.4 CPLD 控制信号实现

在本系统中, 以地址线的末 4 位来发送各控制信号, 其功能和具体设置见表 1。之所以使用地址线, 是因为全部数据线在传输过程中已被占用, 而地址线本是 AHB 总线上为外部存储器读写时寻址所用。在本系统中用其直接向 CPLD 传输控制信号, 并由其对其他模块分发指令和数据。此外, 地址线首八位为外部存储器片选, 固定使用  $0 \times 82$ 。传输时的具体控制步骤为: ①CPLD 根据 ARM 地址线信号产生使能信号 374CLK 送往 74LS374, ARM 通过数据线将下半屏数据送往 74LS374,

74LS374 锁存数据。②数据线将上半屏数据送往 CPLD。③CPLD 产生显示屏时钟信号 CLK 送往显示屏。④每 64 个时钟信号 CLK 后，CPLD 产生显示屏刷新信号 STR 送往显示屏。⑤CPLD 将数据线末 3 位送往显示屏，更新行选信号 CBA，开始刷新下一行。)

表 1 CPLD 控制信号信息

Table 1 Detail of the CPLD control signal

CPLD 控制信号	说明	相应 ARM 地址线控制信号
CLK	显示屏时钟信号	0x82000004
374CLK	74LS374 缓存下半屏数据的使能信号	0x82000000
STR	行刷新信号	0x82000006
C, B, A	行扫描模式的行选信号（从高到低）	0x8200000E

在程序中，为实现以上功能，需要设置如下 5 个指针地址：

```
p0= (uint16 *) 0x82000000;
p1= (uint16 *) 0x82000002;
p2= (uint16 *) 0x82000004;
p3= (uint16 *) 0x82000006;
p4= (uint16 *) 0x8200000E;
```

每当 ARM 调用这些地址时，无论数据线为何种状态，CPLD 都会通过地址线获得控制信号 CS，并完成对应动作。如：

```
* p4=i;
* p3=0x0000;
```

第 1 句是将 CPLD 从 ARM 数据线获得的低 3 位送往显示屏的 CBA 行选信号端口；第 2 句的数据 0x0000 本无意义，可为任意值，但是该语句调用了 p3 指针的地址，导致 CPLD 收到地址线控制信号 0x82000006，向显示屏发送 STR 刷新信号。

根据以上指针的调用，ARM 通过地址线完成了对 CPLD 工作方式的控制，并且在发送屏幕数据时始终没有占用 16 根地址线。

## 2 LED 显示屏数据格式转换

主流 LED 显示系统所展示的原始图片数据常用格式为位图格式，而显示模组实际所能接受的格式与 BMP 存储格式是有较大区别的。因此，在使用 ARM 及 CPLD 发送数据之前，首先应由上位机将图片数据格式重新编排，装换为 LED 显示模组能够识别的格式。

1 幅以 BMP 格式存储的单色  $i \times j$  像素位图，除头文件外，从第 1 行起，按从左到右的顺序，将每个像素按黑白转化为 2 进制数，若为黑则该比特

记为 1，若为白则该比特记为 0。每 4 个像素所对应的 4 个比特可合记为一个 16 进制数来进行编码。记录完第  $j$  行的  $i$  个像素，继之记录的是  $(j+1)$  行的数据<sup>[7]</sup>。

以  $i=8, j=2$  为例，如图 4 所示位图共有 16 个黑白像素，其对应的 BMP 存储数据为：0xE5, 0x52。其中 0xE5 为第 1 行 8 个像素的数据，0x52 为第 2 排 8 个数据。



图 4 16 像素黑白位图

Fig. 4 A black and white bitmap of 16 pixels

根据以上对 BMP 数据格式及 LED 显示模组数据格式的分析，显而易见 LED 显示模组是无法直接接收 BMP 图片的。接收数据前所须转换要求如下：将 BMP 格式中每 4 个像素一组的 16 进制数据转换为 4 个 2 进制，以分别应对 4 个像素的亮灭数据；将连续存储的  $i \times j$  个像素数据分割为  $j$  行以备提取。

对应一个 128 行，64 列的显示屏，为使其显示一幅 BMP 格式图片，可先使用上位机获取该图片点阵对应的二进制数组 pic，并运用如下算法可完成一种颜色的数据转换，将其存于 newpic\_up 和 newpic\_down 两个数组文件，以便作为上半屏下半屏分别提取：

```
for (i=0;i<512;i++){
newpic_up[i]=0x0000;
newpic_down[i]=0x0000;
for(j=0;j<8;j++){
newpic_up[i]=newpic_up[i]|(((pic[64*j+i/8])>>(7-i%8))%2)<<(15-2*j));
newpic_down[i]=newpic_down[i]|(((pic[512+64*j+i/8])>>(7-i%8))%2)<<(14-2*j))
|newpic_up[i]|(((pic[64*j+i/8])>>(7-i%8))%2)<<(15-2*j));
}}
```

## 3 系统联调与测试

在联调测试过程中，LED 屏幕能够工作，但是上半屏有成块的失控点。这说明由 74LS374 缓存的数据在锁存或推送至屏幕的过程中出现了问题。使用逻辑分析仪检查其输入信号，时序图如图 5 所示。经分析发现该芯片的 374CLK 时钟端是按



照设想可靠受控的。但是将时序图放大到纳秒级别以后,发现 ARM 数据总线上的信号比设想中提早了十多个纳秒到达。这造成了上半屏数据 DATA 在抵达之前,总线数据已被锁存,并继而在 CPLD 的控制下推送至显示屏,导致了乱码出现。

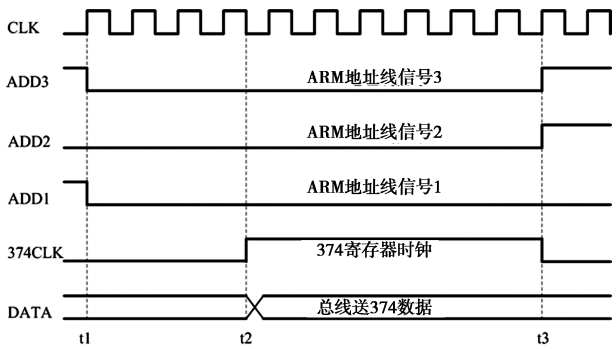


图 5 74LS374 输入端时序图

Fig. 5 Sequential chart of the input signal of 74LS374

对 CPLD 程序作如下修改:地址线 ADD1~3 传输的控制信号延时 3 个时钟周期,以推迟 374CLK 时钟信号的发送;数据线上信号保持原状。经修改后,显示屏失控模块恢复工作。

4 结 论

最终,在 LED 显示屏异步控制系统的控制下,显示屏可成功显示静态文字、图片,并可进行平移和循环显示等操作,也能实现点阵动画的播放。其中八分之一屏也即一个 16×64 模组的具体显示截图见图 6 (下方即为控制系统)。该系统在横向课题项目组验收中受到了企业专家的肯定,并将被应用于课题提供企业南京洛普公司生产的各类异步屏

中。此外,在后续的研发中,设计组还将根据企业的反馈,进一步攻关实现更多的动画方式,使显示屏实现画面旋转、加动态小窗口等功能。

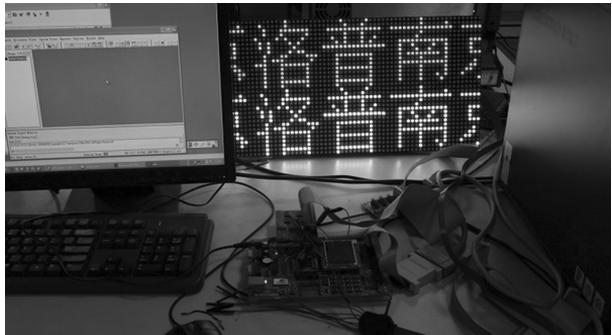


图 6 控制系统及部分模组显示效果图

Fig. 6 The control system and effect picture of displayer

参考文献:

[1] Zhang Mingbo. Desigh of matrix LED display system base in MCU [J]. Embedded System & SOC, 2007, 2 (2): 85 - 86.

[2] 葛超,张景春,孙艳彬,等.基于 ARM 嵌入式系统的 LED 点阵屏设计 [J].液晶与显示,2010,25:743 - 746.

[3] 陈炳权.基于 ARM+FPGA 的大屏幕显示器控制系统设计 [J].半导体技术,2008,33:171 - 175.

[4] 周立功.ARM 嵌入式系统基础教程 [M].北京:北京航空航天大学出版社,2009:152 - 153.

[5] PHILIP Co Ltd. LPC2214/2124/2212/2214 User Manual [M]. Eindhoven: PHILIP Co Ltd, 2004.

[6] 周立功.ARM 嵌入式系统实验教程 (二) [M].北京:北京航空航天大学出版社,2009:83 - 87.

[7] 尹柱霞,郑喜凤,于洪涛.ARM+FPGA 控制的 LED 脱机屏系统设计 [J].液晶与显示,2010,25:262 - 267.